

HIGH-FREQUENCY CIRCUIT BOARD

Patent Number: JP2000100993
Publication date: 2000-04-07
Inventor(s): SAITO HIROKI
Applicant(s): SUMITOMO METAL IND LTD
Requested Patent: JP2000100993
Application Number: JP19980269930 19980924
Priority Number(s):
IPC Classification: H01L23/12; H01P3/08; H05K1/02
EC Classification:
Equivalents: JP3008939B2

Abstract

PROBLEM TO BE SOLVED: To realize a high-frequency circuit board where high-frequency signals are prevented from deteriorating as they are transmitted, wherein the high-frequency signal circuit board is composed of a dielectric board and transmission lines formed on its front and rear surface and connected together through a through-hole.

SOLUTION: A pair of transmission lines composed of coplanar lines 21, 22, 21' and 22' with ground are provided to the front and rear of a dielectric board 1, and the coplanar lines are electrically connected through through-holes 41 and 42. The coplanar lines are each surrounded with ground electrodes 30 and 30', a distance between the coplanar lines and the ground electrodes is set wider near the through-holes. By this setup, high-frequency signals can be lessened in transmission loss caused by through-holes, so that a high-frequency circuit board of this constitution is capable of transmitting high-frequency signals restraining them from deteriorating even if a mounted module MMIC is a high-frequency circuit module.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-100993

(P 2000-100993 A)

(43) 公開日 平成12年4月7日(2000.4.7)

(51) Int. Cl. 7
H 01 L 23/12 301
H 01 P 3/08
H 05 K 1/02

F I
H 01 L 23/12 301 C 5E338
H 01 P 3/08 5J014
H 05 K 1/02 J

審査請求 有 請求項の数 3 O L

(全 6 頁)

(21) 出願番号 特願平10-269930

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(22) 出願日 平成10年9月24日(1998.9.24)

(72) 発明者 斎藤 浩樹

尼崎市扶桑町1番8号 住友金属工業株式会
社エレクトロニクス技術研究所内

(74) 代理人 100089705

弁理士 社本 一夫 (外5名)

F ターム(参考) 5E338 AA02 BB02 BB13 BB25 BB75

CC02 CC06 CD11 CD23 EE11

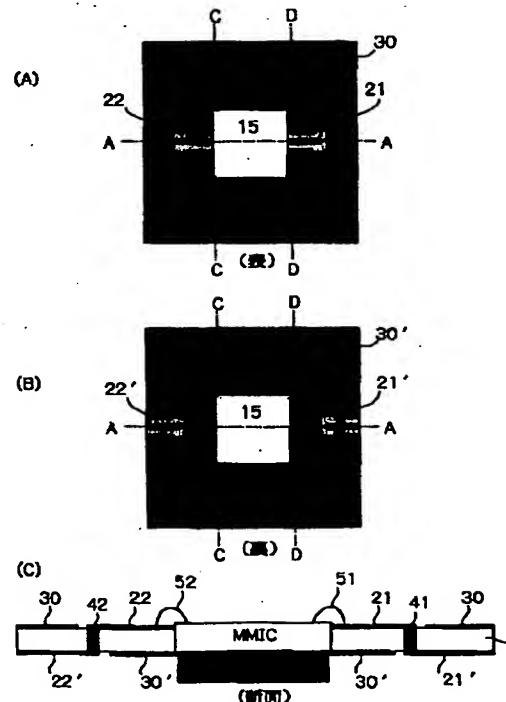
5J014 CA01 CA41 CA55

(54) 【発明の名称】高周波回路基板

(57) 【要約】

【課題】 スルーホールを介して誘電体基板の表裏面の伝送線路を接続した高周波回路基板において、高周波信号の伝送劣化を防止する。

【解決手段】 誘電体基板1の表裏面にはグランド付きコプレーナ線路21、22、21'、22'からなる一对の伝送線路が設けられ、該線路がスルーホール41、42を介して電気的に接続されている。各コプレーナ線路は、グランド電極30、30'により囲繞されており、コプレーナ線路とグランド電極との間隔が、スルーホール近傍において広く設定されている。このように設定することにより、スルーホールによる透過損失を低減でき、よって、搭載するモジュールMMICが高周波回路モジュールであっても、高周波信号の劣化を抑制して伝送することができる。



【特許請求の範囲】

【請求項1】 誘電体基板の表面及び裏面にグランド付きコプレーナ線路からなる一対の伝送線路を設け、これらの伝送線路を誘電体基板に設けたスルーホールを介して電気的に接続した高周波回路基板において、

各伝送線路と同一平面上のグランド電極との間隔が、スルーホール近傍において他の部分と比べて広く設定されていることを特徴とする高周波回路基板。

【請求項2】 請求項1記載の高周波回路基板において、スルーホール近傍における伝送線路とグランド電極との間隔Wが、コプレーナ線路の所定の特性インピーダンスを有する部分の間隔d₁と対比して、

$$d_1 < W \leq 3d_1$$

に設定されていることを特徴とする高周波回路基板。

【請求項3】 請求項1記載の高周波回路基板において、コプレーナ線路の所定の特性インピーダンスを有する部分である伝送線路の側縁とグランド電極との間隔d₁、スルーホール近傍における伝送線路の側縁とグランド電極との間隔d₂、スルーホール近傍における伝送線路の端縁とグランド電極との間隔d₃、並びに、スルーホール近傍における伝送線路の端縁と間隔d₁及びd₂の境界との間隔d₄が、

$$d_1 < d_2 \leq 2d_1$$

$$2d_1 \leq d_3 \leq 3d_1$$

$$2d_1 \leq d_4 \leq 3d_1$$

に設定されていることを特徴とする高周波回路基板。

【発明の詳細な説明】

【0001】

【発明の技術分野】 本発明は、スルーホールを有する高周波回路基板及び該基板を備えた半導体装置に関し、特に、スルーホール部での伝送損失を小さくすることができる高周波回路基板及び該基板を備えた半導体装置に関する。

【0002】

【従来の技術】 従来、表面に素子又は回路チップからなるモジュールが搭載される誘電体基板にスルーホールを設け、該モジュールが電気的に接続される基板表面の伝送線路をスルーホールを介して基板裏面に設けた伝送線路に電気的に接続することにより、該基板裏面を外部回路基板上に面実装可能にしている半導体装置が提案されている。しかしながら、このような構成の半導体装置は、取り扱う信号の周波数が10GHz程度以上になると、スルーホールによる透過損失が急激に大きくなることが知られている。したがって、上記した従来例の構成は、マイクロ波帯及びミリ波帯の信号を伝送させた場合には信号の特性劣化が著しく、これらの周波数領域の信号処理には適していない。

【0003】 このような問題点に鑑み、スルーホールを用いていない高周波回路基板が既に提案されている。図6は、このような高周波回路基板の断面を示しており、

該高周波回路基板は、多層構造等の誘電体基板1で構成され、その内部に複数のスロット孔11を設けたグランド電極層6を設けるとともに、モジュール5が配置接続される基板の表面にストリップ導体7を形成してグランド電極層6とともにマイクロストリップ線路8を構成し、さらに、外部回路基板上に面実装される基板裏面にもストリップ導体9を形成してグランド電極層6とともにマイクロストリップ線路10を構成し、これら2つのマイクロストリップ線路をグランド電極層のスロット孔11を介して電磁結合させるよう構成されている。このような半導体装置によれば、スルーホールを必要としないため、それによる透過損失を生じることがないので、高周波信号を比較的劣化が少ない状態で伝送することができる。

【0004】

【発明が解決しようとする課題】 しかしながら、図6の従来例においては、マイクロストリップ線路8、10を構成するために基板内部にグランド電極層6を設ける必要があり、したがって、その製造が単一層の基板に比べて複雑であり高価となる。したがって、安価な単一層の基板を用い、スルーホールによる高周波信号の特性劣化を抑制することができる高周波回路基板の提供が待たれていた。本発明は、このような従来例の課題を解決するためになされたものであり、その目的は、スルーホールを有する単一層の基板を用いた高周波回路基板において、高周波信号をその特性劣化を抑制して伝送できるようにすることである。

【0005】

【課題を解決するための手段】 上記した本発明の目的を達成するために、本発明においては、誘電体基板の表面及び裏面にグランド付きコプレーナ線路からなる一対の伝送線路を設け、これらの伝送線路を誘電体基板に設けたスルーホールを介して電気的に接続した高周波回路基板において、各伝送線路と同一平面上のグランド電極との間隔が、スルーホール近傍において他の部分と比べて広く設定されていることを特徴としている。本発明においては、スルーホール近傍における伝送線路とグランド電極との間隔Wが、所定のコプレーナ線路の特性インピーダンスを有する部分の間隔d₁と対比して、 $d_1 < W \leq 3d_1$ に設定されることが好ましい。さらに、本発明においては、コプレーナ線路の特性インピーダンスを決定している部分である伝送線路の側縁とグランド電極との間隔d₁、スルーホール近傍における伝送線路の側縁とグランド電極との間隔d₂、スルーホール近傍における伝送線路の端縁とグランド電極との間隔d₃、並びに、スルーホール近傍における伝送線路の端縁と間隔d₁及びd₂の境界との間隔d₄が、 $d_1 < d_2 \leq 2d_1$ 、 $2d_1 \leq d_3 \leq 3d_1$ 、 $2d_1 \leq d_4 \leq 3d_1$ に設定されることが好ましい。

【発明の実施の態様】図1及び図2は、本発明の第1及び第2の実施例の高周波回路基板を示している。図1及び図2において、(A)及び(B)は高周波回路基板の表面図及び裏面図、(C)は該基板にモジュールMM I Cを配置した状態の線A-A及び線B-Bに沿った断面図を示している。これらの図において、1はセラミックス等からなる誘電体基板、21、22、21'、22'は誘電体基板1の表裏面上に形成されたコプレーナ線路であり、信号の伝送線路を構成する。30、30'は誘電体基板1の表裏面上に形成されたグランド電極、41、42は誘電体基板1の中心線上の点にて該基板を貫通して設けられたスルーホールである。誘電体基板1の裏面上の各コプレーナ線路に対向する箇所には、図1及び図2から明らかなように、グランド電極が設けられており、したがって、伝送線路を構成するコプレーナ線路21、22、21'、22'は、グランド付きコプレーナ線路である。

【0007】誘電体基板1の表裏に形成されたコプレーナ線路21、21'は、スルーホール41を介して電気的に接続され、同様に、コプレーナ線路22、22'はスルーホール42を介して電気的に接続されている。コプレーナ線路及びグランド電極からなる誘電体基板1表面及び裏面上の電極パターンは、フォトリソグラフィ又はスクリーン印刷等によってパターニングされ形成される。スルーホール41、42は、NCパンチ等の機械加工によって形成される。

【0008】図1に示した第1の実施例においては、誘電体基板1の中心部15がモジュールMM I Cのサイズに打ち抜かれており、該モジュールが、図1(C)に示すように、誘電体基板1に埋め込み状態に固定配置される。モジュールと誘電体基板1上のコプレーナ線路21、22との電気的接続は、ワイヤボンディング(ワイヤ51、52)により行われる。図2に示した第2の実施例においては、誘電体基板1の中心部を打ち抜かず、表面中心部に電極パターンを形成しない部分を設けている。該部分に対応する裏面中心部にはグランド電極が形成されている。モジュールMM I Cは、図2(C)に示すように、誘電体基板1の表面の中心部に載置され、コプレーナ線路21、22と直接電気的に接続される。

【0009】図3(A)及び(B)は、図1及び図2に示した本発明の高周波回路基板におけるコプレーナ線路21、22、21'、22'、グランド電極30、30'、及びスルーホール41、42の配置関係を説明するための斜視図及び平面図を示している。なお、図3においては、図1の線C-Cから左部分又は線D-Dから右部分を切断して示しており、また、コプレーナ線路、グランド電極及びスルーホールを代表的に、参照番号20、30及び40で示している。図3(B)に示すように、コプレーナ線路20は、矩形形状を有し、その一端

部にスルーホール40が形成され、そして適宜の間隔(d1、d2、d3)を介してグランド電極30に囲繞されている。コプレーナ線路20及びグランド電極30からなる電極パターンは、スルーホール40及びコプレーナ線路20の中心を通る線E-Eに対して線対称に形成されている。図3には示されていないが、誘電体基板1の裏面にも、スルーホール40に対して点対称の関係にコプレーナ線路及びグランド電極が形成されている。

【0010】スルーホール40から離れているコプレーナ線路20の両側縁とグランド電極30との間の間隔d1は、伝送線路の所定の特性インピーダンスを有する部分であり、該特性インピーダンスが50Ωとなるように設定されている。また、スルーホール40近傍のコプレーナ線路20の側縁とグランド電極30との間の間隔d2、及びスルーホール40近傍のコプレーナ線路20の端縁とグランド電極30との間隔d3は、所望の通過帯域で減衰量が最小となるように、電磁界シミュレーションによって決定される。なお、間隔d4は、コプレーナ線路20のスルーホール側の端縁と間隔d1及びd2の境界との距離である。

【0011】電磁界シミュレーション及び種々の実機テストの結果、間隔d1～d3が、

$$d_1 < d_2 \leq 3d_1$$

$$d_1 < d_3 \leq 3d_1$$

を満足している場合に、伝送特性の向上が認められた。なお、d2及びd3をまとめてWで表すと、上記不等式は

$$d_1 < W \leq 3d_1$$

で表される。さらにまた、間隔d1～d4が、

$$d_1 < d_2 \leq 2d_1$$

$$2d_1 \leq d_3 \leq 3d_1$$

$$2d_1 \leq d_4 \leq 3d_1$$

を満足するように設定した場合に、伝送特性の劣化がより低減されるという結果が得られた。

【0012】図4の(A)及び(B)は、実機テストにより本発明及び従来例の入出力間の伝送特性をネットワークアナライザで測定した結果を対比して示したグラフである。従来例においては(グラフB)、誘電体基板1の材料として、誘電率7.5のセラミックスを用い、図5に示すように、信号ラインとグランド電極との距離を一定の値aに設定した回路基板を用いた。本発明の実験例においては(グラフA)、誘電体基板1の材料として、従来例の場合と同様に誘電率7.5のセラミックスを用い、図3に示した構造を用いた。また、図3(B)に示したそれぞれの間隔d1～d4は、

$$d_1 = a$$

$$d_2 = 1.5a$$

$$d_3 = d_4 = 2.5a$$

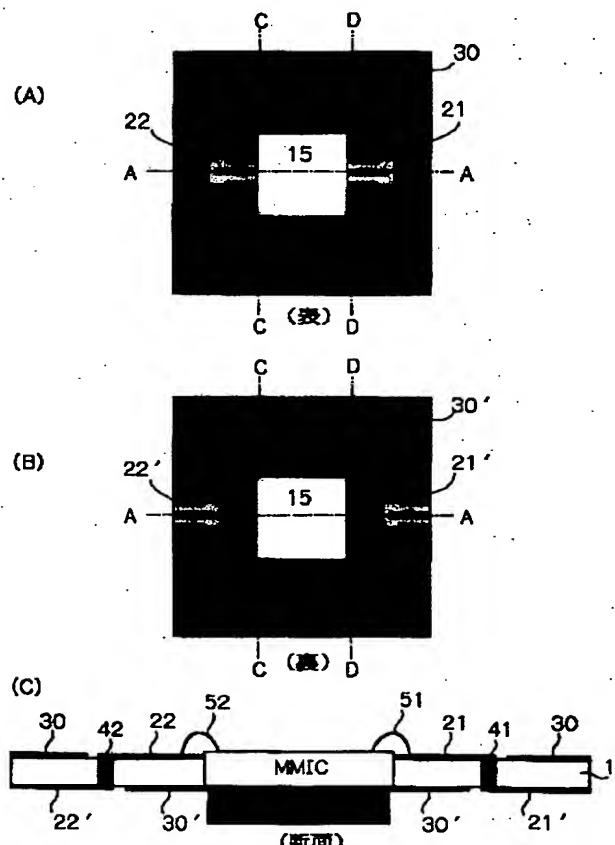
に設定した。図4から明らかのように、本発明の高周波回路基板によれば、55～80GHzの範囲で-0.5

d B以上の伝送特性が得られており、これに対して、従来例においては、この周波数範囲で-1.0 dB程度である。したがって、本発明によれば、従来例に比べて減衰量が $1/2$ に低減されていることが分かる。

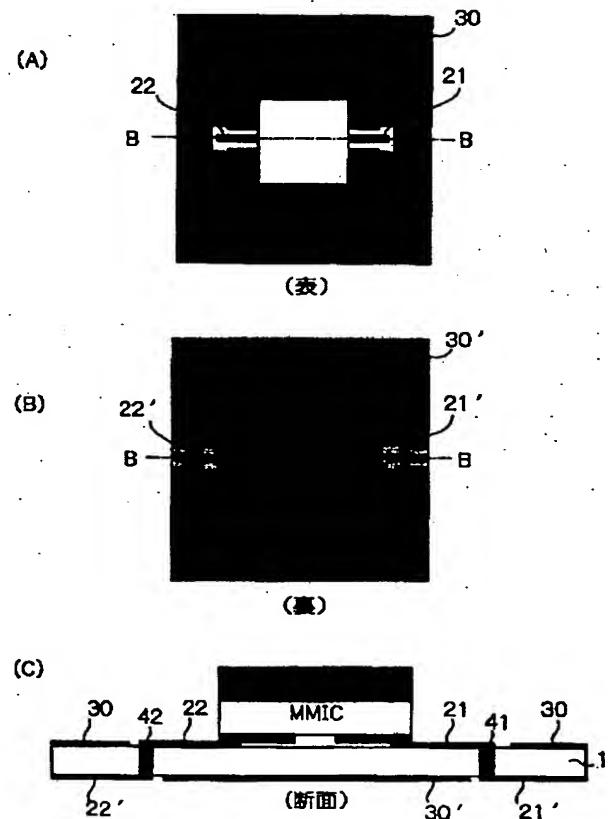
【0013】以上説明したように、本発明の高周波回路基板によれば、信号ラインとグランド電極との間隔をスルーホール近傍において広くしているので、インピーダンスマッチングを行うことができる。したがって、マイクロ波帯及びミリ波帯の信号がスルーホールを介して伝達されることによる伝送特性の劣化を低減することができる。

【図面の簡単な説明】

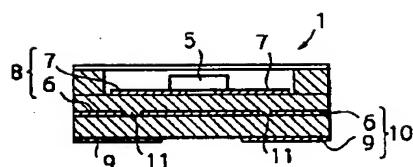
【図1】



【図2】



【図6】



【図1】本発明の高周波回路基板の第1の実施例を示す表面図、裏面図及び断面図である。

【図2】本発明の高周波回路基板の第2の実施例を示す表面図、裏面図、及び断面図である。

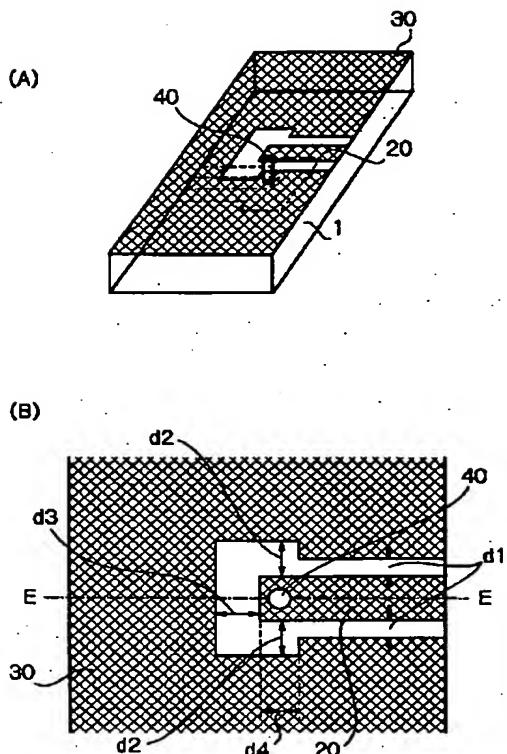
【図3】本発明の高周波回路基板の信号ラインとグランド電極との関係を説明するための説明図である。

【図4】本発明及び従来例の伝送特性を実験的に測定した結果を示すグラフである。

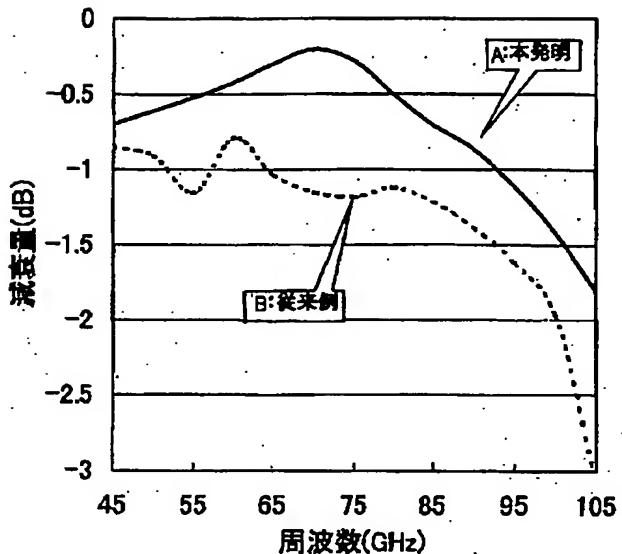
【図5】図4に結果を示した実験に用いた従来例の回路基板を示す斜視図である。

【図6】スルーホールを用いていない従来例の高周波回路基板を示す断面図である。

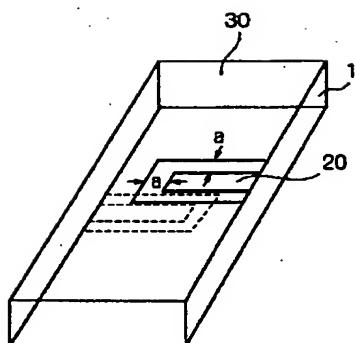
【図3】



【図4】



【図5】



【手続補正書】

【提出日】平成10年11月11日(1998.11.11.)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】

【課題を解決するための手段】上記した本発明の目的を

達成するために、本発明においては、誘電体基板の表面及び裏面にグランド付きコプレーナ線路からなる一対の伝送線路を設け、これらの伝送線路を誘電体基板に設けたスルーホールを介して電気的に接続した高周波回路基板において、各伝送線路と同一平面上のグランド電極との間隔が、スルーホール近傍において他の部分と比べて広く設定されていることを特徴としている。本発明においては、スルーホール近傍における伝送線路とグランド電極との間隔Wが、所定のコプレーナ線路の所定の特性

インピーダンスを有する部分の間隔 d_1 と対比して、 $d_1 < W \leq 3d_1$ に設定されることが好ましい。さらに、本発明においては、コプレーナ線路の所定の特性インピーダンスを有する部分である伝送線路の側縁とグランド電極との間隔 d_1 、スルーホール近傍における伝送線路の側縁とグランド電極との間隔 d_2 、スルーホール近傍

における伝送線路の端縁とグランド電極との間隔 d_3 、並びに、スルーホール近傍における伝送線路の端縁と間隔 d_1 及び d_2 の境界との間隔 d_4 が、 $d_1 < d_2 \leq 2d_1$ 、 $2d_1 \leq d_3 \leq 3d_1$ 、 $2d_1 \leq d_4 \leq 3d_1$ に設定されることが好ましい。